

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Jeong Hoon CHOI :
Serial No.: NEW : Group Art Unit:
Confirm. No.: : Examiner:
Filed: October 2, 2003 : Customer No.: 34610
For: APPARATUS AND METHOD FOR QUEUE ASSIGNMENT FOR EACH
LINK IN MULTI-LINKS OF AN ACCESS POINTER CONTROLLER

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202


Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

10-2002-0060960 filed in Korea on October 7, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP


Daniel Y.J. Kim
Registration No. 36,186
Samuel W. Ntiros
Registration No. 39,318

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440 DYK:SWN/kdb
Date: **October 2, 2003**

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0060960
Application Number

출원년월일 : 2002년 10월 07일
Date of Application OCT 07, 2002

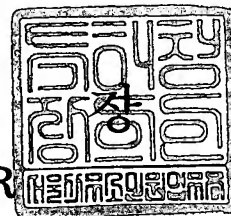
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 09 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.10.07
【국제특허분류】	H04L
【발명의 명칭】	제어국의 멀티링크에서 링크별 큐 할당 장치 및 방법
【발명의 영문명칭】	Apparatus and method for queue assignment in multi link of Access Pointer Controller
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	허용록
【대리인코드】	9-1998-000616-9
【포괄위임등록번호】	2002-027042-1
【발명자】	
【성명의 국문표기】	최정훈
【성명의 영문표기】	CHOI, Jeong Hoon
【주민등록번호】	750918-1655216
【우편번호】	520-824
【주소】	전라남도 나주시 금천면 오강리 280
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 허용록 (인)



1020020060960

출력 일자: 2003/9/9

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 24 면 24,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 578,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 제어국의 멀티링크에서 플렉시블하게 큐를 할당하여 트래픽 관리 및 링크의 폭주를 방지하고, 링크 운용중 네트워크의 상태에 따라 링크별로 큐 할당을 변경하여 가변적인 네트워크 상태를 대처할 수 있도록 한 것이다.

본 발명에 따른 제어국의 멀티링크에서 플렉시블 큐 할당 장치는, 멀티 링크를 위한 하나 이상의 메모리를 이용하여 통합시킨 큐와; 상기 멀티 링크에 대해 할당하고자 하는 큐의 영역에 각각 할당하고, 특정 링크의 기록 데이터를 해당 큐에 기록 제어 신호를 통해 기록하는 큐 할당부와; 라인인터페이스보드의 가용상태 여부를 알리고, 기록 포인터와 기록 포인터를 입력받아 링크별 큐 상태를 알리기 위한 풀신호와 엠프티 신호를 생성하여 출력하는 신호 검출부와; 상기 신호 검출부로부터 라인인터페이스보드의 가용상태 신호와 엠프티신호를 수신한 후 낮 엠프티일 경우 데이터를 읽어오고 읽은 데이터를 라인 인터페이스유닛에 기록하는 데이터 제어부를 포함하는 것을 특징으로 한다.

【대표도】

도 2

【색인어】

제어국, 멀티링크, 큐, 뱅크

【명세서】**【발명의 명칭】**

제어국의 멀티링크에서 링크별 큐 할당 장치 및 방법{Apparatus and method for queue assignment in multi link of Access Pointer Controller}

【도면의 간단한 설명】

도 1은 제어국과 기지국 간의 멀티 링크 연결 구성도.

도 2는 종래 제어국의 멀티링크에서 링크별 큐 할당 장치를 나타낸 구성도.

도 3은 본 발명 실시 예에 따른 제어국의 멀티링크에서 링크별 큐 할당 장치를 나타낸 구성도.

도 4는 본 발명에 따른 메모리의 बैं크 및 어드레스 구성도.

도 5는 본 발명 실시 예에 따른 제어국의 멀티링크에서 플렉시블 큐 할당방법을 나타낸 도면.

도 6은 본 발명에 따른 링크별 बैं크 할당 방법을 나타낸 흐름도.

도 7은 본 발명에 따른 큐 할당부에 의한 기록방법을 나타낸 흐름도.

도 8은 본 발명에 따른 데이터제어부의 리드 방법을 나타낸 흐름도.

도 9는 본 발명에 따른 신호 검출부에서의 엠프티 신호 검출방법을 나타낸 흐름도.

도 10은 본 발명에 따른 신호 검출부에서의 풀 신호 검출 방법을 나타낸 흐름도.

도 11은 본 발명에 따른 제어국의 멀티링크에서 링크별 큐 할당장치의 다른 실시 예를 나타낸 도면.

<도면의 주요부분에 대한 부호의 설명>

200...큐 할당부 201...큐

210...신호 검출부 220...데이터 제어부

231a~231n...라인인터페이스유닛

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 이동통신 시스템에 있어서, 특히 기지국을 멀티 링크로 하는 제어국에서의 링크별 큐 할당 장치 및 방법에 관한 것이다.

<17> 본 발명은 멀티링크(Multi Link)에서 효율적으로 큐(Queue, 이하 큐라 지칭함)를 할당하여 트래픽 관리(Traffic Management)의 구현 및 링크(Link)의 폭주를 방지하고 링크(Link) 운용 중 네트워크(Network) 상태(각 링크의 부하)에 따라 링크 별 큐 할당을 변경하여 가변적인 네트워크 상태에 효과적으로 대처하기 위한 링크별 플렉시블 큐 할당장치 및 그 방법에 관한 것이다. 또한, 직접메모리 액세스(IMA) 프로토콜을 사용하는 멀티 링크에서 각 그룹별 링크 할당 변경에 따른 링크별 큐 할당을 플렉시블(flexible)하게 운용해야 하는 구조와 이동통신 시스템의 저속 링크 중계선에 적당하도록 한 효율적인 큐 설계 및 운용에 관한 것이다.

<18> 도 1은 이동통신 시스템 구성도이다.

<19> 단말기를 이용하여 무선 패킷 데이터 통신을 하는 제 1이동국(MS1) 및 음성 및 패킷 데이터 통신을 수행하는 제 2이동국(MS2)과, 상기 이동국(MS1,MS2)의 무선 접속을 지원하는 다수개의 기지국(1)과, 상기 다수개의 기지국(1)의 무선 자원을 멀티링크로서 관리하는 제어국(2)과, 상기 제어국(2)을 정합하여 관리하는 CAN(Central ATM Network)(5)과, 패킷 데이터 통신 서비스를 지원하는 패킷 서빙 노드(PDSN: Packet Data Serving Node)(7)로 구성된다.

<20> 상기와 같은 이동통신 시스템의 동작을 간략하게 설명하면 다음과 같다.

<21> 먼저, 이동국(MS1,MS2)은 기지국(AP: Access Pointer)(1a~1n)에 무선 접속하여, 제어국(APC : Access Pointer Controller)(3) 및 CAN(5)을 통해서 패킷 서빙 노드(7)에 패킷 데이터 서비스를 요청하여 링크를 개설하고, 패킷 서빙 노드(7)는 서버를 통해서 가입자가 요청한 패킷 데이터인 멀티캐스트/브로드 캐스트 패킷 데이터를 전송한다.

<22> 상기 CAN(5)은 상기 패킷 데이터를 해당 제어국(APC)(3)으로 전달하고, 상기 제어국은 다수개의 기지국을 멀티링크로서 관리하여, 기지국으로 상기 패킷 데이터를 전송함으로써, 기지국이 해당 이동국에 상기 패킷 데이터 서비스를 제공할 수 있게 된다.

<23> 이러한 제어국(3)은 다수개의 기지국(1a~1n)과 멀티링크로 연결되는 구조로서, 큐에 데이터를 기록하고 기록된 데이터를 각 링크를 통해 기지국(1a~1n)에 전달해 줄 수 있도록 하는 것이다.

- <24> 종래 제어국에서의 멀티링크 큐 할당 구조는 도 2와 같다.
- <25> 중계선의 특정 링크(Link)를 목적지로 하는 데이터의 어드레스 필드를 검출하여 해당 큐(101a~101n)에 쓰게되는 큐 할당부(100)와, 상기 큐(101a~101n)의 애프티 신호(ES: Empty Singal) 및 라인 인터페이스 유닛(LIU: Line Interface Unit)의 전송 셀 이용(TCA: Transmit Cell Available) 신호를 검출하는 신호 검출부(110)와, 상기 신호 검출부(110)에서 받은 신호를 이용하여 큐(101n~101n)에 저장된 데이터를 읽고 라인 인터페이스 유닛(131a~131n)에 쓰는 데이터 제어부(120)로 구성된다.
- <26> 상기 큐(101a~101n)는 중계선과 일대일(1:1)로 매핑되는 구조를 갖고 멀티링크를 수용하는 보드에 n개의 링크를 수용시 n개의 큐를 설계하여 구현한 구조이다.
- <27> 상기와 같은 멀티 링크 큐 할당 구조에 대하여 도 2를 참조하여 설명하면 다음과 같다.
- <28> 멀티 링크에서는 링크의 버스트(Burst)성 데이터 처리를 위해 링크당 적절한 기억 소자를 이용하여 큐를 할당하게 된다. 즉, 링크당 하나의 큐가 할당되어 특정 링크로 할당된 데이터는 해당 링크의 큐를 거치는 구조로, 중계선과 큐는 1:1로 매핑(mapping)되는 구조를 갖고, 멀티링크를 수용하는 보드에 n개의 링크를 수용한다면 n개의 큐를 설계하게 된다.
- <29> 이때, 기억소자로는 주로 선입선출(FIFO : First In First Out) 장치(Queue)가 쓰인다. 또한 링크 별로 할당된 선입 선출 장치는 데이터의 애프티 신

호(ES; Empty Signal)와 풀 신호(FS; Full Signal)에 대한 프로그램을 가능하게 하지만, 그 크기가 고정되어 있어 특정 링크의 큐 사이즈는 선입선출 장치를 변경하지 않는 한 변경할 수가 없다.

<30> 도 2를 참조하면, 큐 할당부(100)는 중계선의 특정 링크를 목적지로 하는 데이터의 어드레스 필드(Address Field)를 검출하여 목적지 링크에 할당된 해당 큐(101a~101n)에 데이터를 기록하며, 신호 검출부(110)는 상기 큐의 엠프티 신호(Empty Signal) 및 라인인터페이스유닛(131a~131n)(LIU)의 TCA(Transmit Cell Available)를 검출하고, 데이터 제어부(120)는 상기 신호 검출부(110)에서 받은 신호를 이용하여 큐에 저장된 데이터를 읽고 라인인터페이스유닛(131a~131n)에 쓰게 된다.

<31> 여기서, TCA는 전송셀 가용가능 신호로서, LIU내부에 존재하는 선입선출(FIFO) 메모리의 이용 여부를 나타낸 신호이며, 이용 가능상태이면 LIU는 선입선출 메모리로 데이터를 받아 중계선으로 그 데이터를 실을 준비가 되어 있는 상태이다.

<32> 이때, 큐 할당부(100)와 데이터 제어부(120)에서는 n개의 큐(101a~101n)를 제어하기 위해 n개의 기록 인에이블 신호/리드 인에이블 신호(WEN: Write Enable /REN: Read Enable)와 데이터 버스로 구성된다. 그리고 신호 검출부(110)는 각각의 큐에서 데이터가 비었는지 가득찼는지를 엠프티신호(ES)와 풀신호(FS)로서 인식한다.

<33> 상세하게 설명하면 다음과 같다.

- <34> 큐 할당부(100)는 중계선의 특정 링크를 목적지로 하는 데이터의 어드레스 필드(Address Field)를 검출하여 목적지 링크에 할당된 해당 큐(101a~101n)에 데이터를 쓰게 된다.
- <35> 큐 할당부(100)에서 데이터는 n개의 링크로 일대일 매핑되는 n개의 큐와 버스 구조를 이루고 있고, 이 버스를 제어하기 위한 풀 신호(FS: Full Signal)와 기록 인에이블 신호(WEN)는 각각 목적지 어드레스로써 관리한다.
- <36> 즉, 풀 신호(Full Signal)는 각 큐에서 발생하는 신호로서, 해당 큐가 가지고 있는 크기만큼 데이터가 쓰여졌을 경우 발생한다. 또한 기록 인에이블 신호(WEN)는 큐 할당부(100)에서 데이터 버스를 인에이블/디스에이블(enable/disable) 동작을 제어하기 위해 각각의 큐에 할당되어 있다. 이 두개의 신호(FS, WEN)는 고유의 시퀀스(Sequence)를 가지고 있다.
- <37> 그리고, 큐 할당부(100)에서는 상기 신호(FS, WEN)를 목적지 어드레스로써 관리하며, 기록 인에이블 신호(WEN)는 디폴트 값이 디스에이블 상태이다.
- <38> 큐 할당부(100)는 풀 신호(FS)를 통하여 각 큐의 상태를 파악하여 수신되는 데이터에 대하여 해당 큐에 할당 가능 여부를 체크한다. 또한 수신되는 데이터가 가지고 있는 목적지 어드레스 필드를 검출하여 큐 할당을 준비하고, 풀 신호(FS)를 체크한다. 체크한 결과 풀 신호가 실제로 가득찬 상태(Full)를 나타내지 않아 큐 할당이 가능하다면, 해당 어드레스에 대한 기록 인에이블 신호(WEN: Write Enable Signal)를 인에이블 시키고, 수신한 데이터를 데이터 버스로 실는다.

<39> 만약 풀 신호(FS) 상태가 풀(FULL) 상태 즉, 데이터가 큐에 풀로 기록된 상태를 나타내고 있으면 더 이상 큐에 기록할 수 없으므로 수신된 데이터를 버린다.

<40> 또한, 데이터가 큐에 쓰여지게 되면 큐(101a~101n)는 엠프티 신호(ES)를 발생하여 신호 검출부(110)로 출력한다. 즉, 큐(101a~101n)가 엠프티 상태에서 엠프티 상태가 아닌 상태(not empty, 이하 낮 엠프티라 함)로 전환됐음을 표시한다.

<41> 또한 상용 라인인터페이스유닛(131a~131n)은 각 링크별로 소량의 선입선출 메모리를 가지고 있는데, 이 선입선출 메모리에서는 TCA(Transmit Cell Available)을 발생시켜서 링크에 대한 데이터 로드 가능 여부를 나타낸다. 즉 TCA가 가용가능(Available) 상태를 나타내면 링크에 데이터를 전송할 수 있다는 신호이다.

<42> 그리고, 신호 검출부(110)에서는 각 큐(101a~101n)에의 엠프티 신호(ES)와 라인인터페이스유닛(131a~131n)의 TCA를 검출하여 큐의 낮 엠프티(Not-Empty) 상태와 라인인터페이스유닛(131a~131n)의 가용가능 상태를 데이터 제어부(120)에 보낸다.

<43> 신호 검출부(110) 및 데이터 제어부(120)는 큐 할당부(100) 처럼 각 큐와 라인인터페이스유닛(131a~131n)의 시퀀스를 어드레스로 관리한다.

<44> 데이터 제어부(120)는 신호 검출부(110)에서 검출한 큐(101a~101n)의 낮 엠프티 상태와 라인인터페이스유닛(131a~131n)의 가용가능 상태를 수신하고, 큐

(101a~101n)에서 데이터를 읽고 동시에 라인인터페이스유닛(101a~101n)에 쓰는 동작을 한다.

<45> 큐(101a~101n)와 라인인터페이스유닛(131a~131n)의 데이터 크기는 버스구조를 이루고 있고, 큐(101a~101n)를 읽기 위한 리드 인에이블신호(REN: Read Enable Signal)와 라인인터페이스유닛(131a~131n)의 기록 인에이블신호(WEN)는 어드레스로서 데이터 제어부(120)에서 관리한다.

<46> 데이터 제어부(120)는 큐(101a~101n)의 낫 엠프티 상태와 라인인터페이스유닛(131a~131n)의 로드가능 상태를 갖는 어드레스에 대해 리드인에이블신호(REN)를 인에이블시키고, 동시에 읽은 데이터를 라인인터페이스유닛(131a~131n)에 쓰는 동작을 한다.

<47> 그러나, 종래에는 링크와 큐가 일대일로 매핑되어 있으므로, 멀티링크를 수용하는 보드가 수용하는 링크의 수가 많아질수록 큐의 개수가 링크에 비례하여 늘어나야 하는 구조를 가지고 있다.

<48> 큐가 많아진다는 것은 멀티링크 수용 보드에서의 공간을 많이 차지하는 단점이 있고, 데이터 버스의 크기가 커져 팬-아웃의 문제가 고려되어야 하고, 또한 큐 할당부(100)의 기록 인에이블 신호(WEN)와 데이터 제어부(120)의 리드 인에이블 신호(REN)가 링크별로 모두 관리되어야 한다.

<49> 또한, 중계선 당 큐를 플렉시블하게 크기를 조정할 수 없어 네트워크의 가변적인 데이터 레이트에서 발생할 수 있는 버스트 데이터에 대하여 대응하지 못한다는 것이다.

<50> 이를 해결하기 위해 큐를 무작정 크게 늘려 설계한다는 것은 저속의 중계선 용량의 문제로 인해 처리하지 못하는 큐에 저장된 데이터에 대한 지연을 유발할 수 있다. 즉 큐의 크기와 망에서의 지연은 Trade-Off 관계를 갖는다. 무엇보다 큐의 크기와 단가는 비례한다는 것이다.

<51> 또한 멀티링크 수용보드에서 어떤 특정 링크가 운용되지 않을 경우 그 링크에 할당된 큐도 역시 사용되지 않음으로써 큐 이용 효율이 떨어지는 큰 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<52> 본 발명은 상기한 문제를 해결하기 위해 안출된 것으로서, 링크와 큐를 위한 메모리 장치(SRAM/DPRAM)를 적어도 한 개이상 연결하여 링크별 큐를 할당함으로써, 링크별 큐를 모두 통합하여 할당할 수 있도록 한 제어국의 멀티링크에서 플렉시블 큐 할당 장치 및 방법을 제공함에 그 목적이 있다.

<53> 또 다른 특징은 링크별로 플렉시블하게 할당된 बैं크에서 각 बैं크의 어드레스를 이용하여 기록/리드 포인터를 자체 생성하여 앰프티 신호와 폴 신호를 만들어, 큐의 상태를 전달하고 그 상태에 따라 큐에 기록된 데이터를 읽고 동시에 라인인터페이스유닛에 기록할 수 있도록 한 제어국의 멀티링크에서 플렉시블 큐 할당 장치 및 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <54> 상기한 목적 달성을 위한 본 발명에 따른 제어국의 멀티링크에서 플렉시블 큐 할당 방법은,
- <55> 멀티 링크를 위한 하나 이상의 메모리를 이용하여 통합시킨 큐와;
- <56> 상기 멀티 링크에 대해 할당하고자 하는 큐의 영역에 각각 할당하고, 특정 링크의 기록 데이터를 해당 큐에 기록 제어 신호를 통해 기록하는 큐 할당부와;
- <57> 라인인터페이스보드의 가용상태 여부를 알리고, 기록 포인터와 기록 포인터를 입력받아 링크별 큐 상태를 알리기 위한 폴신호와 엠프티 신호를 생성하여 출력하는 신호 검출부와,
- <58> 상기 신호 검출부로부터 라인인터페이스보드의 가용상태 신호와 엠프티신호를 수신한 후 낮 엠프티일 경우 데이터를 읽어오고 읽은 데이터를 라인 인터페이스유닛에 기록하는 데이터 제어부를 포함하는 것을 특징으로 한다.
- <59> 바람직하게, 상기 메모리는 DPRAM 또는 SRAM 인 것을 특징으로 한다.
- <60> 바람직하게, 상기 뱅크의 수는 메모리의 어드레스 비트 조합으로 구성되는 것을 특징으로 한다.
- <61> 또한, 본 발명에 따른 이동통신 시스템에서 기지국을 멀티 링크로 하는 상위 제어국에서의 멀티 큐 할당 장치는, 제어국 내부에 멀티 링크를 위한 하나 이상의 메모리를 이용하여 통합시킨 큐를 갖고, 상기 멀티 링크에 대해 할당하고자 하는 큐의 뱅크를 각각 할당하여 데이터를 기록하는 수단과; 상기 큐의 데이터 기록 유무 및 데이터 리드 유무에 대한 상태를 알려주는 수단과; 상기 큐의 뱅크

로부터 읽은 데이터를 기지국으로 전송할 수 있도록 라인인터페이스유닛 내부 선입선출메모리에 기록하는 수단을 포함하는 것을 특징으로 한다.

<62> 그리고, 본 발명에 따른 제어국의 멀티링크에서 플렉시블 큐 할당 방법은, 멀티링크에 대해 할당하고자 하는 적어도 하나 이상의 बैं크를 큐 할당부에서 각각 할당하는 단계; 특정 링크에 기록할 데이터가 발생했을 때, 해당 큐에 기록 어드레스 및 기록 인에이블 신호를 통해 그 데이터를 기록하는 단계; 데이터를 기록할 때마다 큐의 어드레스를 증가시키고 상기 어드레스에 대응하는 기록포인터를 신호 검출부로 전달하는 단계; 데이터 제어부로부터의 리드 포인터와 큐 할당부의 기록 포인터를 비교하여 엠프티 상태를 낮 엠프티 상태로 천이하여 데이터 제어부에 전달하는 단계; 상기 데이터 제어부에서 라인인터페이스 유닛의 가용가능 상태 및 큐의 엠프티 상태가 아니면 큐에서 데이터를 읽은 후 라인인터페이스유닛에 기록하는 단계를 포함하는 것을 특징으로 한다.

<63> 이하 첨부된 도면을 참조하여 설명하면 다음과 같다.

<64> 도 3은 본 발명 실시 예에 따른 제어국의 멀티링크에서 플렉시블 큐 할당 장치를 나타낸 구성도이다.

<65> 도 3을 참조하면, 링크와 적어도 하나 이상의 메모리를 연결한 큐(201)와; 링크별 소정의 बैं크를 할당하고, 각 링크의 큐에 데이터를 쓰고 각 링크의 기록 포인터(RP)와 기록캐리(WC)를 신호검출부(210)에 보내며, 링크별 풀 신호(FS)를 검출하는 큐 할당부(200)와; 라인인터페이스유닛(231a~231n)의 가용상태신호(WEN)를 검출하여 데이터제어부(220)에 알리고, 기록포인터(WP)와 리드포인터(RP)를 받아서 링크별 엠프티 신호(ES) 및 풀신호(FS)를 생성 및 출력하여 큐의

상태를 알리는 신호 검출부(210)와; 상기 신호 검출부(210)로부터 라인인터페이스 유닛(231a~231n)의 가용상태 여부 및 큐(201)의 엠프티 신호(ES)를 수신한 후, 큐(201)에 데이터가 쓰여져 있으면 읽고 동시에 읽은 데이터를 라인인터페이스 유닛(231a~231n)에 기록하는 데이터 제어부(220)를 포함하는 구성이다.

<66> 상기와 같은 제어국의 멀티링크에서 플렉시블 큐 할당 장치 및 방법에 대하여 설명하면 다음과 같다.

<67> 먼저, 큐(201)의 구조를 보면, 링크와 큐를 위한 메모리 장치가 1:1로 매핑되는 구조가 아닌, 1개 또는 그 이상의 메모리 장치를 이용하여 큐가 구성된다. 2개 이상의 메모리 장치가 사용 될 때는 각 장치간 연결(Cascade) 형태를 이룬다. 즉, 링크별 큐를 모두 통합시켜 구성한다.

<68> 큐(201)를 구성하기 위한 장치는 DPRAM(Dual Port RAM) 또는 SRAM(Synchronous RAM)를 이용한다. (이하 DPRAM 이라 언급한다)

<69> DPRAM은 기존 기술의 상용 선입선출(FIFO) 구조에서 제공되는 엠프티 신호(ES)와 풀 신호(FS)를 발생시키지 않기 때문에 링크 별로 플렉시블하게 할당된 영역(Bank, 이하 뱅크라 함)에서 각 영역의 어드레스를 이용한 기록/리드 포인트(WP, RP)를 자체 생성하여 엠프티신호(ES)와 풀신호(FS)를 만들어 낸다.

<70> 또한 각 링크별로 할당된 영역(Bank)에 쓰고 읽는 동작은 기록 인에이블 신호(WEN)와 리드 인에이블 신호(REN), 그리고 각 뱅크의 어드레스를 이용한다.

<71> 도 4는 큐의 구성을 위한 뱅크 설정 및 어드레스 구성을 보인 도면이다.

<72> 도 4에서 뱅크는 DPRAM 어드레스의 최상위비트(MSB: Most Significant Bit)(m bit) 및 그 이하의 비트(bit)들로 구성된다.

<73> 그리고, 뱅크의 수는 어드레스로서 결정되며, 몇 비트로 조합하는가에 따라 뱅크 수가 결정된다. 즉 최상위비트(MSB) m 비트와 m-1비트, 그리고 m-2비트로 뱅크를 구성한다면 3비트의 조합이므로 8개의 뱅크로 구성된다. 예컨대 3비트(m & m-1 & m-2 bit 조합이 000 이면 뱅크 0, 001이면 뱅크1,..., 111이면 뱅크7)로 된다. 즉, 뱅크는 어드레스(MSB 및 그 이하의 bit들) 조합의 2ⁿ승의 크기만큼을 갖는다.

<74> 이로써, 뱅크의 수는 멀티 링크를 구현할 보드의 실제 구현 링크 수보다 같거나 크게 구성할 수 있다. 그리고 뱅크의 수와 링크의 수가 같다면, 각 링크 당 하나의 뱅크를 할당하여 구성되는 것이고, 뱅크의 수가 링크의 수보다 많다면 링크당 하나 이상의 뱅크를 구성할 수 있다.

<75> 또한, 뱅크를 구성하는 상위 어드레스 이외의 어드레스는 해당 뱅크의 어드레스로서 기록/리드 포인터(WP/RP)로서 동작한다. 여기서 포인터(Pointer)는 각 링크별로 만들어지고, 각 링크의 특정 어드레스가 쓰여지거나 읽혀지면, 그 어드레스는 기록포인터/리드포인터(WP/RP)로 활용되어 각 링크의 해당 큐에 대한 엠프티/풀 신호(ES/FS)를 생성한다.

<76> 도 3을 참조하면, 링크별 큐(201)를 플렉시블하게 할당하기 위한 큐 할당부(200), 신호 검출부(210), 데이터 제어부(220), 그리고 라인인터페이스유닛(231a~231n)으로 구성된다.

<77> 큐 할당부(200)는 링크 별 큐를 플렉시블하게 할당하는 링크별 뱅크를 할당하고, 데이터를 각 링크의 큐(201)에 쓰는 동작을 수행하며, 이때 발생하는 각 링크의 기록 포인터(WP)와 기록 캐리(Write Carry)를 신호 검출부(210)로 전달하고, 신호 검출부(210)로부터 입력되는 링크별 풀 신호(FS(0-n))를 검출하는 동작을 한다.

<78> 신호 검출부(210)는 라인인터페이스유닛(231a~231n)의 TCA 신호를 검출하여 라인인터페이스유닛(231a~231n)의 로드가능(Available) 상태 여부를 데이터 제어부(220)에 알리고, 큐 할당부(200)와 데이터 제어부(220)로부터 각각 기록포인터(WP)와 리드포인터(RP)를 받아서 엠프티(ES) 신호와 풀 신호를 생성하여, 두개의 신호(FS,ES)를 각각 큐 할당부(200)와 데이터 제어부(220)로 보내 큐의 상태를 알린다.

<79> 또한 데이터 제어부(220)는 신호 검출부(210)로부터 라인인터페이스유닛(231a~231n)의 가용가능 상태 여부 및 큐(201)의 엠프티 신호(ES)를 수신한다. 큐가 엠프티 상태(empty)일 경우, 해당 큐에 데이터가 없는 것으로 판단하고, 낫 엠프티(non-empty)인 경우 큐(201)에 데이터 쓰여져 있는 것으로 판단하여 읽기 위한 동작을 한다.

<80> 데이터 제어부(220)는 신호검출부(210)로부터 전달되는 라인인터페이스유닛(231a~231n)의 가용가능 상태 및 큐(201)의 엠프티신호를 입력받아, 가용가능 상태와 낫 엠프티 상태가 동시 만족될 때, 리드 인에이블(REN) 및 리드 어드레스(RA)를 이용하여 큐(201a~201n)에서 데이터를 읽어 오고, 동시에 읽은 데이터를

라인인터페이스유닛(231a~231n)에 기록 인에이블(WEN)을 출력하여 쓰는 동작을 한다.

<81> 구체적으로 동작을 설명하면 다음과 같다.

<82> 큐 할당부(200)에서 멀티-링크(n개)를 수용할 보드에 n개 링크를 위한 큐를 형성하기 위해 하나 이상의 DPRAM을 이용하여 통합 큐 만들어 그 큐를 링크별로 플렉시블하게 적용하고, 각 링크의 큐에 데이터를 기록하면, 신호 검출부(210)에 의해 그 상태가 데이터 제어부(220)에 전달되며, 데이터 제어부(220)는 각 링크의 할당된 큐에서 데이터를 읽어오고 그 데이터를 라인인터페이스유닛(231a~231n)에 쓰는 동작으로 끝난다.

<83> 이를 위해, 큐 할당부(200)는 멀티-링크에 대해 할당하고자 하는 बैं크를 각각 할당하고, 특정 링크에 써야 할 데이터가 발생했을 때, 해당 큐에 기록 어드레스(WA[0..m])와 기록인에이블신호(WEN; WENO ~ WENn)를 통해 그 데이터를 쓴다.

<84> 여기서, 기록 어드레스(WA)는 한 개의 데이터가 기록되면 해당 큐의 어드레스는 '1'이 증가하게 되고, 그 기록 어드레스(WA)는 기록포인터(WP: Write Pointer)가 되어 신호 검출부(210)로 보내진다.

<85> 신호 검출부(210)는 데이터 제어부(220)로부터 리드포인터(RP : Read Pointer)를 입력받게 되는데, 이때 아직 읽은 데이터가 없기 때문에 모든 링크의 리드 포인터는 초기상태(RP=0)이다.

<86> 또한, 신호 검출부(210)는 상기 '1'이 증가된 기록 포인터(WP)와 초기상태의 리드포인터(RP)를 비교하여 엠프티(Empty) 상태였던 엠프티 신호(ES)를 낮 엠프티 상태로 천이하여 데이터 제어부(220)에 보내고, 데이터 제어부(220)에서는 라인인터페이스유닛(231a~231n)의 가용가능 상태 및 큐(201)의 낮 엠프티 상태가 만족하여 큐(201)에서 데이터를 읽어와서 라인인터페이스유닛(231a~231n)에 쓴다

<87> 본 발명의 구조는 위 흐름을 반복하여 동작하고, 각 부에서는 이러한 동작을 하기 위한 알고리즘이 포함되어 있다. 각 부의 동작 설명 및 알고리즘의 구성을 통해 세부적인 동작을 설명한다.

<88> 큐 할당부(200)는 링크별 बैं크 할당을 위해 도 6의 알고리즘으로 동작하고, 큐에 데이터를 기록하기 위해 도 7의 알고리즘에 의해 동작한다. 기록 알고리즘에 의해 생성된 기록 포인터(WP; Write Pointer)와 기록 캐리(Write Carry)를 신호 검출부(210)로 보내고, 신호 검출부(210)로부터 링크별 폴신호를 전달받아 큐의 상태를 파악한다.

<89> 도 5는 본 발명에 따른 제어국의 멀티링크에서 플렉시블 큐 할당 방법을 설명하면 다음과 같다.

<90> 도 5를 참조하면, 큐 할당부에서 멀티링크에 대해 할당하고자 하는 적어도 하나 이상의 बैं크를 각각 할당하고(S201), 특정 링크에 기록할 데이터가 발생했을 때(S203), 해당 큐에 기록 어드레스 및 기록 인에이블 신호를 통해 그 데이터를 기록한다(S205).

- <91> 이때, 데이터를 기록할 때마다 큐의 어드레스(WA)를 증가시키고 상기 어드레스에 대응하는 기록포인터(WP)를 신호 검출부로 전달하며(S207), 신호 검출부(210)는 데이터 제어부로부터의 리드 포인터(RP)와 큐 할당부의 기록 포인터(WP)를 비교하여 엠프트 상태를 낮 엠프티 상태로 천이하여 데이터 제어부(220)에 전달함으로써(S209), 상기 데이터 제어부(220)는 라인인터페이스 유닛의 가용가능 상태 및 큐의 엠프티 상태가 아니면 큐에서 데이터를 읽은 후 라인인터페이스유닛(231a~231n)에 기록하는 동작을 반복하게 된다(S211).
- <92> 도 6은 큐 할당부에 의한 링크 별 큐 할당 알고리즘이다.
- <93> 도 6을 참조하면, 멀티-링크를 수용하는 보드(Board)가 n개의 링크를 수용한다면 0~n개의 링크들에 대해 각각 बैं크를 할당한다.
- <94> 첫 번째 링크 할당을 위한 초기값을 설정하고(S401), 보드에서 첫 번째 링크의 사용 유무에 따라 बैं크 할당 유무를 파악한다(S403). 여기서, i는 첫 번째 링크이고 그 초기값은 0이다.
- <95> 첫 번째 링크의 사용 유무를 확인하고(S403), 확인결과 첫 번째 링크를 사용하지 않는다면 링크 카운트를 증가($i = i + 1$)시키고 첫 번째 링크(i)가 n이 될 때까지 반복하게 된다(S403, S411, S413).
- <96> 또한 첫 번째 링크(i)를 사용한다면 원하는 बैं크의 수를 할당하고(S405), 할당된 बैं크 수를 제외한 첫 번째 링크인가를 확인하고(S407), 이를 할당하면 첫 번째 링크라고 판단하고, 해당 링크의 시작 어드레스('0000')를 할당하고, 마지막 어드레스를 할당한다(S409).

- <97> 여기서, 시작 어드레스가 $S_add = '0000'$ 라면 시작 어드레스는 해당 링크에 해당하는 DPRAM/SRAM의 시작 어드레스로서, $S_add(i)$ 는 i 번째 링크의 시작 어드레스를 지시한다.
- <98> 마지막 어드레스를 ' E_add '라 하면 마지막 어드레스는 해당 링크에 해당하는 DPRAM/SRAM의 마지막 어드레스이며, $E_add(i)$ 는 i 번째 링크의 마지막 어드레스를 지시한다. 첫 번째 링크의 마지막 어드레스 $E_add(i)$ 는 $S_add(i) + (\text{링크의 뱅크 수} - 1)$ 이다.
- <99> 첫 번째 링크에 뱅크 할당이 모두 끝나게 되면 다음 링크의 할당을 위해 링크를 증가($i = i + 1$)시키고 마지막 링크(n)가 될 때까지 반복하여 할당한다 (S403~S415).
- <100> 이때, S407의 확인결과 사용 가능한 첫 번째 링크가 아니므로 S410단계를 수행하는데, 첫 번째 이후의 링크부터는 시작 어드레스를 이전 링크의 시작 어드레스를 참조하여 시작 어드레스를 할당하고, 그 시작 어드레스를 이용하여 마지막 어드레스를 할당하게 된다.
- <101> 즉, 첫 번째 링크 이후의 시작 어드레스 [$S_add(i)$]는 $E_add(k) + '1'$ 을 할당하고, 마지막 어드레스 $E_add(i)$ 는 $S_add(i) + (\text{링크의 뱅크 수} - 1)$ 로 할당한다.
- <102> 이후, 링크 값이 마지막 링크가 될 때 까지 각 링크의 뱅크 어드레스를 할당하고, 마지막 링크가 되면 뱅크 할당 알고리즘을 종료한다(S413).

- <103> 위와 같은 동작으로 링크 별 बैं크 할당이 끝나면 링크의 큐에 데이터 발생 유무에 따라 해당 큐에 데이터를 쓰는 동작을 한다.
- <104> 도 7은 해당 링크의 큐에 데이터가 발생하면 해당 큐에 데이터를 쓰는 알고리즘이다.
- <105> 도 7을 참조하면, 기록 알고리즘을 위해 각 링크의 어드레스 관련 파라미터를 초기값을 설정하게 된다(S501).
- <106> 어드레스 관련 파라미터는 해당 링크에 해당하는 시작 어드레스(LSA: Link Start Address)와 마지막 어드레스(LEA: Link End Address)는 시작 어드레스(SA:S_add) 및 마지막 어드레스(EA=E_add)로 각각 설정하며, DPRAM/SRAM의 어드레스 중에서 LSA를 제외한 하위 어드레스 비트(ETA: Extra Total Address)를 모두 '0'으로 할당하고, 기록 캐리(WC: Write Carry) 값은 아직 기록한 데이터가 없기 때문에 '0'이 된다.
- <107> 여기서, 시작 어드레스(SA) 및 마지막 어드레스(EA)는 해당 링크의 기록/리드 동작에 영향을 주지 않고 최소 알고리즘이 시작되거나 재기동(RESTART) 조건이 발생하면 각각 링크시작어드레스/링크마지막어드레스(LSA/ESA)에 어드레스를 전달한다.
- <108> 기록 알고리즘의 초기값을 모두 설정하면 동시에 리드 알고리즘의 초기값을 설정하기 위한 리드측 알고리즘을 시작시킨다(S503). 이는 기록과 동시에 리드가 가능하도록 함에 있다.

- <109> 이후, 첫 번째 링크($i=0$)부터 선택하여 각 링크에서 큐에 데이터 발생 유무를 파악하는데(S505,S507), 특정 링크에 쓸 1개의 데이터가 발생할 때까지 첫 번째 링크에서 n 번째 링크까지 계속하여 반복한다(S505,S507,S519,S521).
- <110> 만약, 단계 S507 확인결과 특정 링크의 큐에 쓸 1개의 이상의 데이터가 발생하면 큐 할당부(200)에서 큐(201)로 연결된 기록 어드레스(WA)와 기록 인에이블 신호(WEN)를 통해 데이터를 쓴다(S509). 이때, 기록되는 데이터의 수는 정의하기 나름이다.
- <111> 그리고, 기록되는 데이터의 수 만큼 기록어드레스(WA)가 증가하고, 정의한 데이터만큼 쓰기 동작이 완료되면 토탈 어드레스(TA)에 1을 증가시켜 각각 갱신하고, 상기 토탈 어드레스(TA)를 기록 포인터(WP)로 하여 기록포인터(WP)를 전달한다(S511).
- <112> 여기서, 토탈 어드레스(TA)는 DPRAM/SRAM의 LSA와 ETA를 조합한 토탈 어드레스로서, 예컨대 DPRAM/SRAM이 어드레스 비트를 17개를 가지고 있고, LSA가 0010, ETA가 0 0000 0000 0000이라면 이를 조합한 토탈 어드레스(TA)는 0 0100 0000 0000 0000 이다.
- <113> 그리고, 링크의 현재 어드레스가 बैं크의 최상위 어드레스에 도달했는지를 판단하는데(S513), 링크의 현재 어드레스는 링크의 마지막 어드레스(LEA)와 하위 어드레스 비트(ETA)의 조합이며, 그 조합된 값이 최상위 어드레스인 토탈 어드레스(TA)와 같은가를 비교함으로써, 해당 링크의 모든 어드레스에 데이터를 모두 기록했는가를 확인하게 된다.

- <114> 상기 S513 확인결과 뱅크의 최상위 어드레스에 도달했으면 즉, 데이터를 해당 뱅크에 모두 기록했으면 기록 캐리(WC)를 토글시키고($WC \leftarrow \text{Not } WC(i)$) 신호 검출부(210)로 보내며, 다음 링크의 기록을 위해 토탈 어드레스를 링크 시작 어드레스와 최하위 어드레스 비트를 모두 '0' 값 즉, 뱅크의 최하위 어드레스로 초기화시킨다(S515).
- <115> 여기서, 기록 캐리/리드 캐리(WC/RC)는 해당 링크가 기록/읽으면 토탈 어드레스가 할당된 링크 마지막 어드레스(LEA)에 위치해 있고 1번의 쓰기/읽기 동작이 이루어진 후, 토탈 어드레스(TA)가 링크 시작 어드레스(LSA)로 전환되면서 발생하는 신호이다. 이 신호는 발생할 때마다 토글($0 \rightarrow 1 \rightarrow 0 \rightarrow 1$)된다.
- <116> 이후, 보드가 운용 중 링크의 큐 할당 구조가 바뀌었는지의 여부를 판단하여, 재기동 여부를 확인하고(S517), 재 기동을 해야 한다면 시작 상태(S501)로 돌아가 알고리즘을 처음부터 다시 시작한다. 여기서, 기록측 알고리즘이 재기동이면 리드측 알고리즘도 다시 시작하게 된다.
- <117> 그리고, 재기동 발생 조건이 생기지 않았다면 다음 링크부터의 데이터 발생 유무를 파악하기 위해 링크의 큐에 쓸 1개의 데이터 발생 유무를 확인하는 S515 단계로 진행하게 된다.
- <118> 이와 같이 큐 할당부(200)는 링크별 큐를 플렉시블하게 할당하는 링크별 뱅크 알고리즘(도 7)을 통해서 각 링크의 기록 포인터(WP)와 기록 캐리(WC)를 신호 검출부(210)로 보내게 된다.

- <119> 한편, 신호 검출부(210)는 라인인터페이스유닛(231a~231n)의 로드가능 상태 여부를 데이터 제어부(220)에 알리고, 큐 할당부(200)와 데이터 제어부(220)로부터 각각 기록포인터(WP)와 리드포인터(RP)를 받아서 링크별 폴신호(FS)와 엠프티 신호(ES)를 생성한다. 그리고 이 두 개의 신호를 각각 큐 할당부와 데이터 제어부로 보내 큐의 상태를 알리는 동작을 한다.
- <120> 신호 검출부(210)는 도 9의 엠프티 신호 생성 알고리즘과 도 10의 폴신호 생성 알고리즘을 통해 동작한다.
- <121> 먼저, 도 9를 참조하면, 각 링크의 범위를 결정한다(S701). 여기서, 링크 범위(LR: Link Range)는 큐 사이즈이다. 즉 몇 개의 뱅크가 각 링크에 할당되어 있는지를 나타낸다. 즉, 각 링크의 범위를 결정하기 위한 동작으로 각 링크의 원하는 시작 어드레스(LSA)와 마지막 어드레스(LEA)의 정의된 값을 이용하여 범위를 결정하게 된다.
- <122> 여기서, 링크 범위는 링크 마지막 어드레스(LEA)에서 링크 시작 어드레스(LSA)를 뺀 값에 1을 더한 값이다. 즉, $LR = (LEA - LSA) + 1$ 에 해당하며, 예컨대, LSA(2)와 LEA(2)가 각각 0001, 0100이면, $LR = 0001 - 0100 + 1$ 이 되므로 링크범위 LR(2)의 0100이 된다.
- <123> 이후, 모든 링크에 대해 링크 범위를 설정하면, 첫 번째 링크부터 선택하여 기록 캐리(WC)와 리드 캐리(RC)의 값을 비교하여(S703, S705), 상기 비교결과 기록 캐리와 리드캐리가 같으면 기록 포인터(WP)에서 리드 포인터(RP)를 뺀 값으로 차 포인터 값($DP = WP - RP$)을 구하고(S707), 기록캐리와 리드캐리가 같지 않으면 상기 링크 범위를 반영한 기록 포인터(WP)와 리드 포인터를 뺀 값승로 차 포

인터(DP)를 계산한다(S706). 즉 차 포인터 값으로 큐에 데이터가 기록되었는지의 여부를 알 수가 있게 된다.

<124> 이후, 차 포인터(DP) 값이 1보다 크거나 같은가를 비교하여(S709), 차 포인터 값이 1 이상이면 엠프트 신호(ES)를 낮 엠프티 상태로 천이하고, 차의 포인터 값이 1보다 작으면 엠프티 신호를 엠프티 상태로 천이한다(S711,S712). 이때 천이된 엠프티 신호(ES)는 데이터 제어부(220)에 전달하여, 큐의 기록 상태를 알린다.

<125> 이후, 링크를 증가시켜 링크가 n이 될 때까지 상기한 동작을 반복하며, 마지막 링크가 되면 다시 처음 링크부터 상기한 동작을 반복하게 된다(S713, S715).

<126> 도 10은 본 발명에 따른 신호 검출부의 풀 신호 생성 알고리즘으로서, 기본 단계 S801부터 807까지는 도 9의 S701~S707 단계까지 동일하게 진행하게 된다.

<127> 도 9을 참조하면, 첫 번째 링크부터 마지막 링크까지 링크 범위가 모두 설정되면, 첫 번째 링크의 기록 카운터와 리드 카운터 값이 같은가를 비교하여, 같을 때의 차의 포인터와 다를 때의 차의 포인터를 구한다(S806,S807).

<128> 이때, 차의 포인터 값이 링크 범위 보다 크거나 같은가를 비교하여(S809), 차의 포인터 값이 링크 범위보다 크거나 같다면 풀 신호(FS)를 풀 상태로 천이하고(S811), 작으면 풀 신호를 풀이 아닌 상태(Not-full)로 천이한다(S812). 여기서 생성된 풀 신호는 큐 할당부(200)에 전달하여 큐의 상태를 알린다.

<129> 이때 큐 할당부(200)는 상기 풀 상태의 신호(FS)가 생성하면 해당 링크의 큐에 기록할 데이터가 발생하더라도 그 데이터를 버린다. 그리고 다음 링크의 쓰기 동작으로 넘어간다.

<130> 이후, 링크를 하나씩 증가시켜 n 이 될 때까지 상기한 동작을 반복하고 (S813), 링크가 마지막 링크가 되면 다시 처음 링크부터 상기한 동작을 반복 수행하게 된다(S815).

<131> 한편, 상기와 같이 큐에 데이터가 기록되면 상기 데이터를 읽어 라인인터페이스유닛에 기록을 수행하게 된다. 이러한 데이터 제어부(220)는 신호 검출부(210)로부터 라인인터페이스유닛(231a~231n)의 이용 가능 상태 여부 및 큐의 엠프티 신호(ES)를 수신한다. 큐에서 데이터를 읽어 오고, 동시에 읽은 데이터를 라인인터페이스유닛(231a~231n)에 쓰는 동작을 한다.

<132> 데이터 제어부의 동작에 대해 도 8을 참조하여 설명하면 다음과 같다.

<133> 데이터 제어부(220)는 도 8의 리드 알고리즘을 통해 기본 동작을 수행하고, 도 7의 리드측 알고리즘은 큐 할당부(220)의 기록측 알고리즘과 그 기본 구성은 같다. 단, 기록측 알고리즘에 시작 및 재기동 발생 여부에 따라 종속관계를 가지고 동작한다.

<134> 도 8에서는 도 7과 달리 리드 캐리(RC) 값을 생성하고, 각 링크의 큐에서 데이터를 읽어 오기 위해 첫 번째 링크의 엠프티 신호(ES)의 낮 엠프티 상태 유무를 첫 번째 링크부터 마지막 링크까지 확인한다(S601, S603, S613, S615). 해당 링크가 낮 엠프티 상태이면 큐에 데이터가 기록된 상태이므로 리드 어드레스(RA)

및 리드 인에이블을 통해서 데이터를 읽고(S605), 토탈 어드레스(TA) 및 리드 어드레스를 하나 증가시켜 갱신한다(S607). 더불어 읽은 데이터를 라인인터페이스 유닛에 기록하게 된다.

<135> 그리고, 토탈 어드레스(TA) 및 리드 포인터(RP)로 하여 신호 검출부에 출력하여 실시간으로 큐에서 데이터를 읽은 상태를 전달한다(S607).

<136> 이후, 링크의 현재 어드레스가 बैं크의 최상위 어드레스인가를 비교한 후, 최상위 어드레스이면 리드 캐리를 토글(toggle)시켜 신호 검출부에 출력하고, 토탈 어드레스(TA)를 बैं크의 최하위 어드레스로 초기화한다(S611). 즉, 링크 마지막 어드레스(LEA)와 최하위 비트(ETA=All '1')의 조합이 토탈 어드레스와 같은가를 비교하고, 같지 않으면 링크를 증가시켜 마지막 번째가 될 때까지 데이터를 읽게 된다.

<137> 즉, 특정 링크에서 Not Empty 상태를 발견하면 데이터 제어부(220)에서 큐(201)로 연결된 리드 어드레스(RP)와 리드 인에이블(REN)을 통해 데이터를 읽는다. 이때 읽는 데이터의 수는 큐 할당부(200)에서 정의한 기록된 데이터의 수와 동일하다. 데이터의 수만큼 리드 어드레스가 증가하고, 정의한 데이터만큼 읽기 동작이 완료되면 토탈 어드레스에 1을 증가시킨다.

<138> 그리고 신호 검출부(210)에 리드 포인터를 보내기 위해 토탈 어드레스를 리드 포인터로 설정하고(S615), 링크의 현재 어드레스가 बैं크의 최상위 어드레스에 도달했는지의 여부를 판단한다(S617). 만약 토탈 어드레스가 बैं크의 최상위 어드레스에 도달했으면 리드 카운터를 토글(RC = Not RC)시키면서 토탈 어드레스를

뱅크의 최하 어드레스로 초기화시킨다. 이때 리드 포인터를 신호 검출부(210)에 보내는 동작을 한다.

<139> 다른 실시 예로서, 이동통신 시스템의 CDMA2000 1x EV-DO 시스템에서 IMA Protocol을 사용하는 중계선 정합보드(ALPA-I/LICA-I)에 적용한 예를 도 10에 도시하였다.

<140> 도 11은 ALPA-I의 블록 구성도로서, DPRAM을 이용한 큐의 설계의 구조가 포함된 전체적인 구성을 보여준다. ALPA-I와 정합하는 또 다른 보드인 LICA-I의 구성은 ALPA-I 와 동일하다.

<141> 도 11에서 FPGA의 SRI부분에서 도 2와 같은 큐 할당부, 신호 검출부, 데이터 제어부의 동작을 위한 기능을 하고, IMA-16 / TC / COMET-QUAD 가 본 발명의 라인인터페이스유닛(301)에 해당된다. 또한 도 10의 백본 인터페이스(BackBone I/F) 부분이 링크와 실제 연결되는 부분이고, FPGA(300)의 SRI에서 각 링크에 전송할 데이터의 발생여부를 파악한다.

【발명의 효과】

<142> 본 발명은 이동통신 시스템에서 다수개의 기지국을 멀티링크로 하는 제어국에서의 보다 효율적인 큐를 할당하고 트래픽 관리 및 링크의 폭주를 방지할 수 있을 뿐만 아니라, 링크 운용중 네트워크 상태에 따라 링크별 큐 할당을 변경할 수 있도록 하는 효과가 있다.

<143> 또한, 멀티 링크에서 각 링크에 고정된 큐 사이트를 할당했던 기존 기술과 달리 멀티 링크에 할당할 큐 사이즈를 플렉시블하게 할당할 수 있으며, 링크 운

용 중 네트워크 상태(각 링크의 부하 변화)가 변경되었을 때, 그 상태에 따라 큐 할당을 재배치 할 수 있게 하여 링크의 폭주를 방지하는 등 네트워크 상태 변화에 효율적으로 대처할 수 있다.

<144> 또한, 큐를 구성하기 위한 장치를 선입선출 메모리에서 DPRAM/SRAM으로 전환하여 설계함으로써 링크가 많아질수록 선입선출 메모리의 개수가 많아 져야 하는 기존 기술의 단점과 달리 1개 이상의 DPRAM/SRAM(개수는 설계자가 DPRAM/SARAM 용량에 따라 결정)을 사용함으로써, 버스 구조를 사용하지 않음으로 팬 아웃(FAN OUT)을 고려하지 않고 설계가 용이하고, 무엇보다 단가 경쟁력을 올릴 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

멀티 링크를 위한 하나 이상의 메모리를 이용하여 통합시킨 큐와;

상기 멀티 링크에 대해 할당하고자 하는 큐의 영역에 각각 할당하고, 특정 링크의 기록 데이터를 해당 큐에 기록 제어 신호를 통해 기록하는 큐 할당부와;

라인인터페이스보드의 가용상태 여부를 알리고, 기록 포인터와 기록 포인터를 입력받아 링크별 큐 상태를 알리기 위한 폴신호와 엠프티 신호를 생성하여 출력하는 신호 검출부와,

상기 신호 검출부로부터 라인인터페이스보드의 가용상태 신호와 엠프티신호를 수신한 후 낮 엠프티일 경우 데이터를 읽어오고 읽은 데이터를 라인 인터페이스유닛에 기록하는 데이터 제어부를 포함하는 것을 특징으로 하는 제어국의 멀티 링크에서 플렉시블 큐 할당 장치.

【청구항 2】

제 1항에 있어서,

상기 메모리는 DPRAM 또는 SRAM 인 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 장치.

【청구항 3】

제 1항에 있어서,

상기 뱅크의 수는 메모리의 어드레스 비트 조합으로 구성되는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 장치.

【청구항 4】

제 1항에 있어서,

상기 큐 할당부는 링크의 수와 बैं크 수를 비교하여 링크당 적어도 하나 이상의 बैं크를 구성하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 장치.

【청구항 5】

제 1항에 있어서,

상기 신호 검출부는 각 링크의 특정 어드레스가 쓰여지거나 읽혀지면 그 어드레스에 대응하는 기록 포인터와 리드 포인터를 활용하여 각 링크의 해당 큐에 대한 엠프트 신호와 풀 신호를 생성하여, 큐의 상태를 큐 할당부 및 데이터 제어부에 알려주는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 장치.

【청구항 6】

이동통신 시스템에서 기지국을 멀티 링크로 하는 상위 제어국에서의 멀티 큐 할당 장치에 있어서,

제어국 내부에 멀티 링크를 위한 하나 이상의 메모리를 이용하여 통합시킨 큐를 갖고, 상기 멀티 링크에 대해 할당하고자 하는 큐의 बैं크를 각각 할당하여 데이터를 기록하는 수단과; 상기 큐의 데이터 기록 유무 및 데이터 리드 유무에 대한 상태를 알려주는 수단과; 상기 큐의 बैं크로부터 읽은 데이터를 기지국으로 전송할 수 있도록 라인인터페이스유닛 내부 선입선출메모리에 기록하는 수단을

포함하는 것을 특징으로 하는 제어국의 제어국의 멀티링크에서 플렉시블 큐 할당 장치.

【청구항 7】

멀티링크에 대해 할당하고자 하는 적어도 하나 이상의 बैं크를 큐 할당부에서 각각 할당하는 단계;

특정 링크에 기록할 데이터가 발생했을 때, 해당 큐에 기록 어드레스 및 기록 인에이블 신호를 통해 그 데이터를 기록하는 단계;

데이터를 기록할 때마다 큐의 어드레스를 증가시키고 상기 어드레스에 대응하는 기록포인터를 신호 검출부로 전달하는 단계;

데이터 제어부로부터의 리드 포인터와 큐 할당부의 기록 포인터를 비교하여 엠프트 상태를 낮 엠프티 상태로 천이하여 데이터 제어부에 전달하는 단계;

상기 데이터 제어부에서 라인인터페이스 유닛의 가용가능 상태 및 큐의 엠프티 상태가 아니면 큐에서 데이터를 읽은 후 라인인터페이스유닛에 기록하는 단계를 포함하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 방법.

【청구항 8】

제 7항에 있어서,

각 링크별 큐 할당 단계는,

첫 번째 링크를 할당하여 할당된 링크의 보드에서의 사용 유무를 확인한 후, 첫 번째 링크가 사용중이면 상기 링크를 증가시켜 마지막 링크까지 링크 사용 유무를 확인하는 단계;

상기 첫 번째 링크가 사용중이 아니면 해당 링크에 원하는 बैं크의 수를 할당하고 상기 링크부터 시작 어드레스 및 마지막 어드레스를 할당하는 단계;

상기 할당된 링크 이후부터 마지막 링크까지 이전 마지막 어드레스를 참조하여 해당 링크의 시작 어드레스와 마지막 어드레스를 증가시켜 연속하여 할당하는 단계를 포함하는 것을 특징으로 하는

【청구항 9】

제 8항에 있어서,

해당 큐의 데이터 기록 단계는,

첫 번째 링크부터 마지막 링크까지 링크시작어드레스, 링크마지막 어드레스, 토탈 어드레스, 기록 캐리의 초기값을 할당하는 단계;

마지막 링크까지 초기값을 할당하면 리드 알고리즘을 동작시키는 단계;

첫 번째 링크부터 해당 큐에 쓸 1개의 데이터 발생 유무를 마지막 링크까지 반복하여 확인하는 단계;

상기 기록할 데이터가 존재하면 기록어드레스와 기록 인에이블 신호에 의해 데이터를 기록하고 기록이 완료되면 토탈 어드레스를 증가시키는 단계;

상기 증가된 토탈 어드레스를 기록 포인터로하여 신호 검출부로 전달하고, 토탈 어드레스를 참조하여 링크의 현재 어드레스가 बैं크의 최상위 어드레스에 도달했는지의 여부를 판단하는 단계;

상기 최상위 어드레스에 도달했으면 다음 링크를 위해 기록 캐리를 토글시키고, 토탈 어드레스를 최하위 비트로 할당하며, 토탈 어드레스에 도달하지 않았으면 다음 링크에 대해 상기한 동작을 수행하는 단계를 포함하는 것을 특징으로 하는

【청구항 10】

제 9항에 있어서,

상기 단계 후 재 기동 조건이 발생하면 초기값 할당단계를 진행하는 단계를 포함하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 방법.

【청구항 11】

제 7항에 있어서,

상기 링크별 엠프티 신호 생성 단계는,

각 링크의 범위를 설정하는 단계;

첫 번째 링크부터 마지막 링크까지 순차적으로 기록 캐리와 리드 캐리를 비교하여 기록 포인터와 리드 포인터의 차의 값을 구하는 단계;

상기 포인터의 차의 값으로 데이터의 유무를 확인하여 그 상태에 따라 엠프티 또는 낫 엠프트 상태로 천이하여 엠프트 신호를 생성한 후 출력하여 큐의 상

태를 알리는 단계를 포함하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 방법.

【청구항 12】

제 7항에 있어서,

상기 링크별 풀 신호 생성 단계는,

각 링크의 범위를 설정하는 단계

링크의 범위가 설정되면 첫 번째 링크부터 마지막 링크까지 순차적으로, 기록 캐리와 기록 캐리를 비교하여 그 결과에 따른 포인터 차의 값을 각각 구하는 단계와,

상기 차의 값이 기록 범위와 사용자 설정 범위의 조합 값과 비교하여 그 결과에 따라 풀 상태 및 낫 풀 상태로 천이하여 풀 신호를 생성한 후 출력하여 큐의 상태를 알리는 단계를 포함하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 방법.

【청구항 13】

제 7항에 있어서,

상기 링크별 리드 단계는,

각 링크의 큐에서 데이터를 읽어오기 위해 각 엠프티의 낫 엠프티 상태 여부를 확인하는 단계;

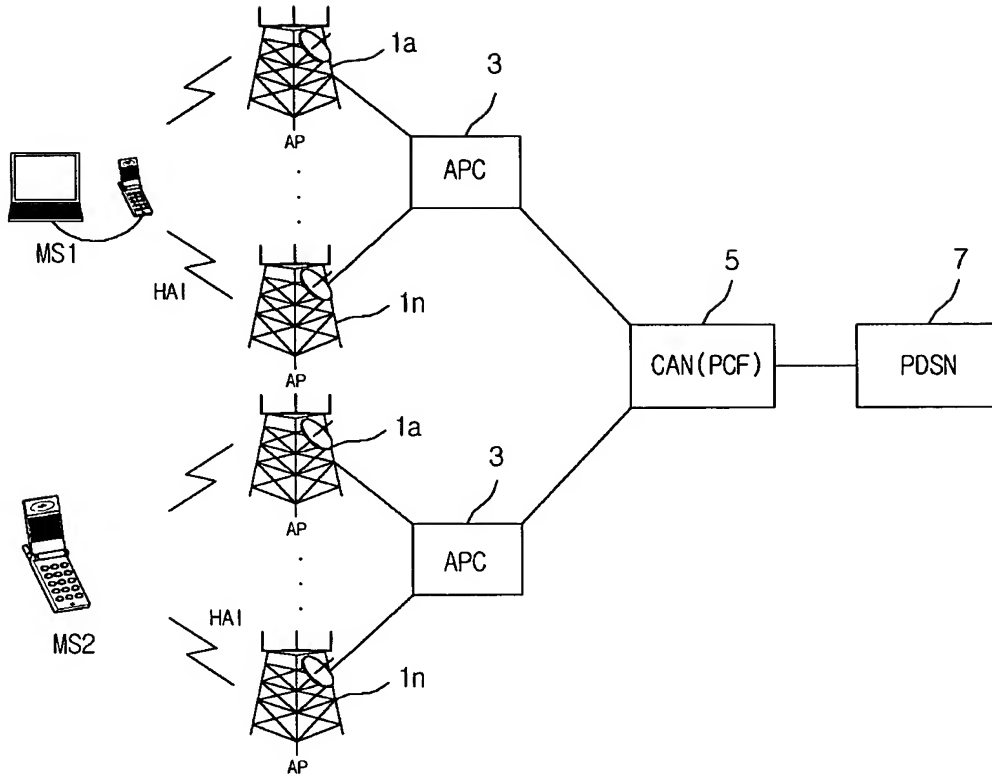
특정 링크에서 낫 엠프티 상태로 검출되면 큐로 연결된 리드 어드레스 및 리드 인에이블 신호를 통해 데이터를 읽는 단계;

상기 데이터를 읽은 수 만큼 리드 어드레스를 증가하고 토탈 어드레스를 하나 증가하여, 링크의 현재 어드레스가 뱅크의 최상위 어드레스에 도달했는지를 판단하는 단계;

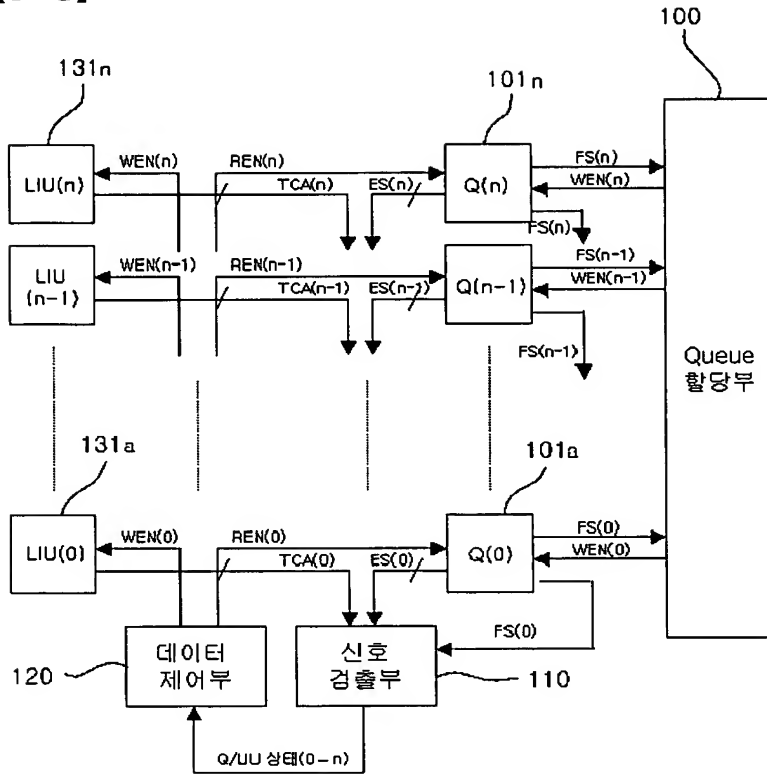
최상위 어드레스에 도달했으면 리드캐리를 토글시키고, 토탈 어드레스의 뱅크를 최하위 어드레스로 초기화시키고, 리드 포인터를 신호 검출부로 전달하는 단계를 포함하는 것을 특징으로 하는 제어국의 멀티링크에서 플렉시블 큐 할당 방법.

【도면】

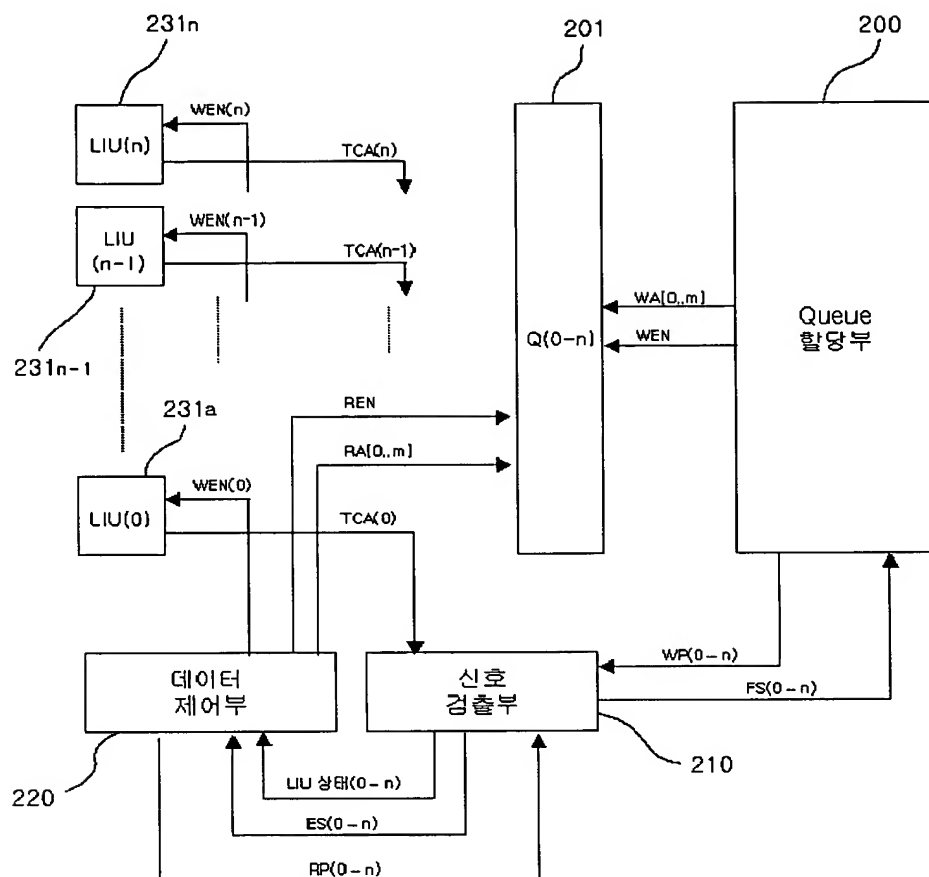
【도 1】



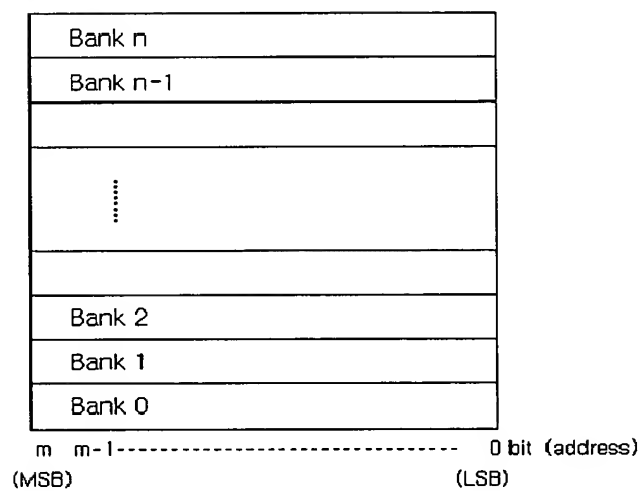
【도 2】



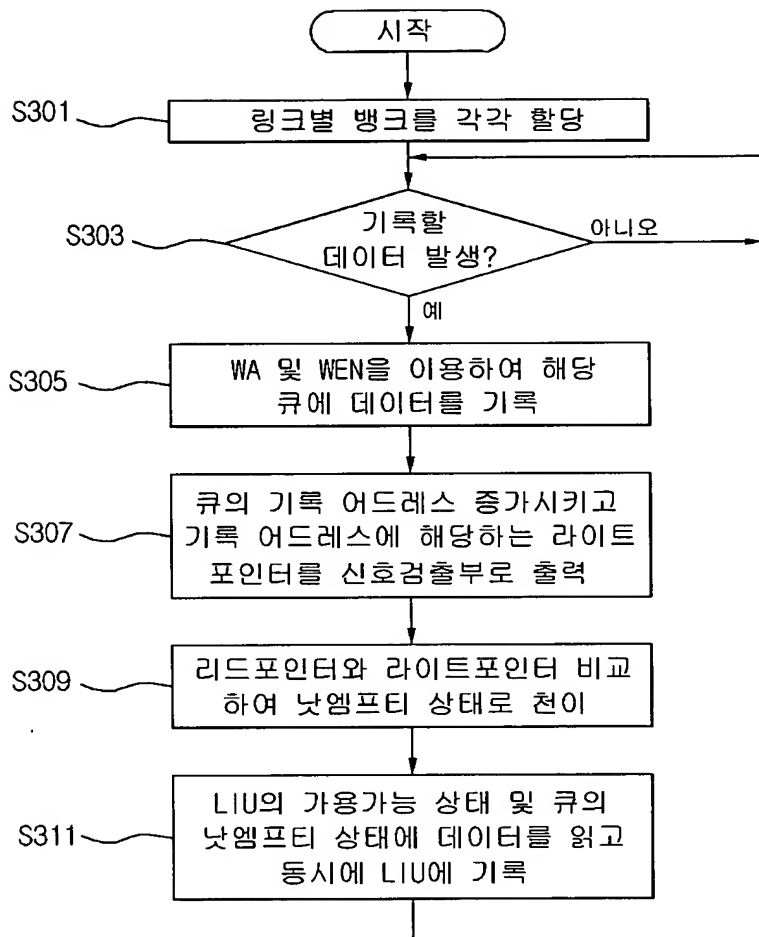
【도 3】



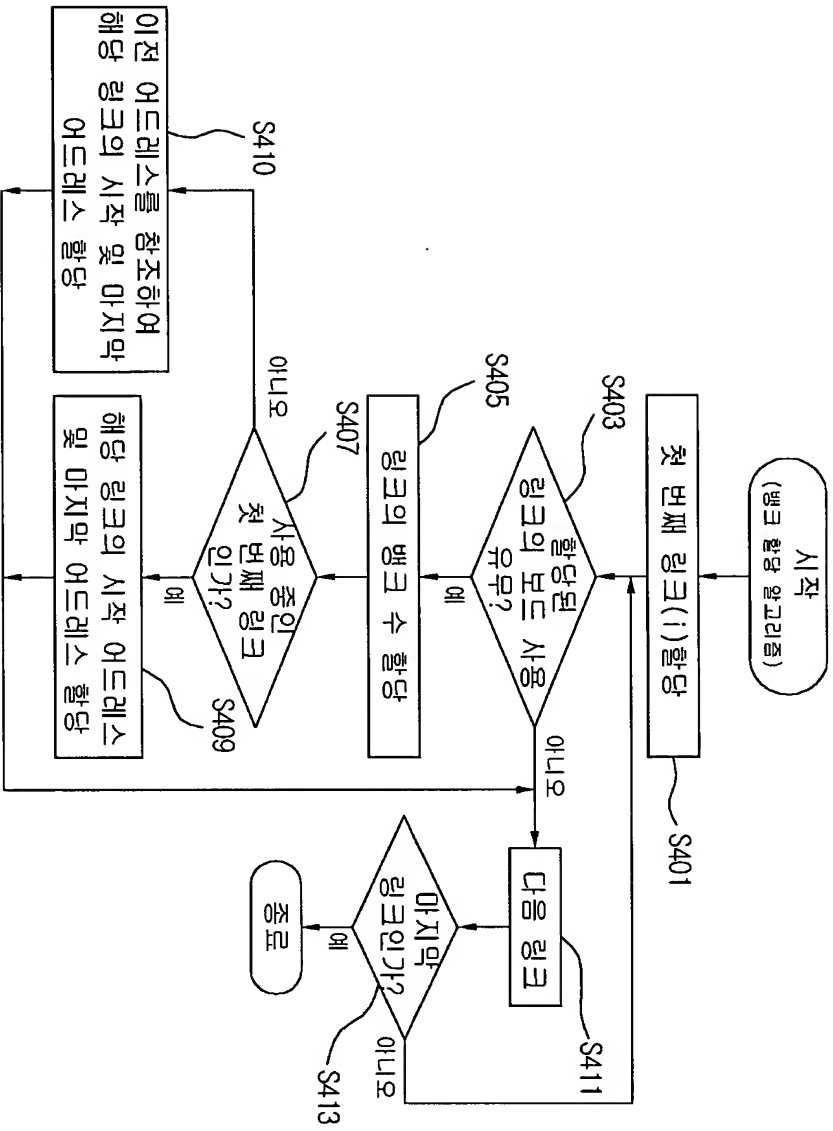
【도 4】



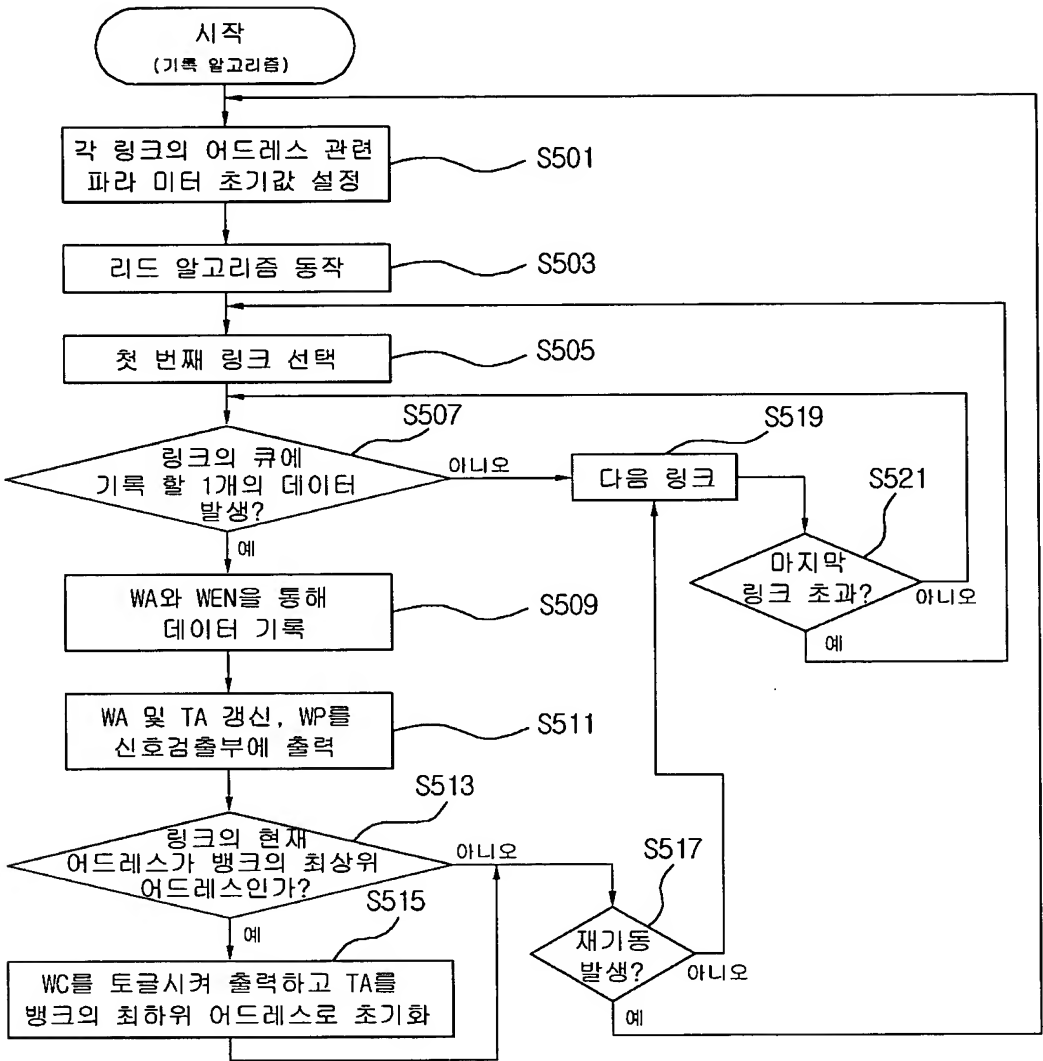
【도 5】



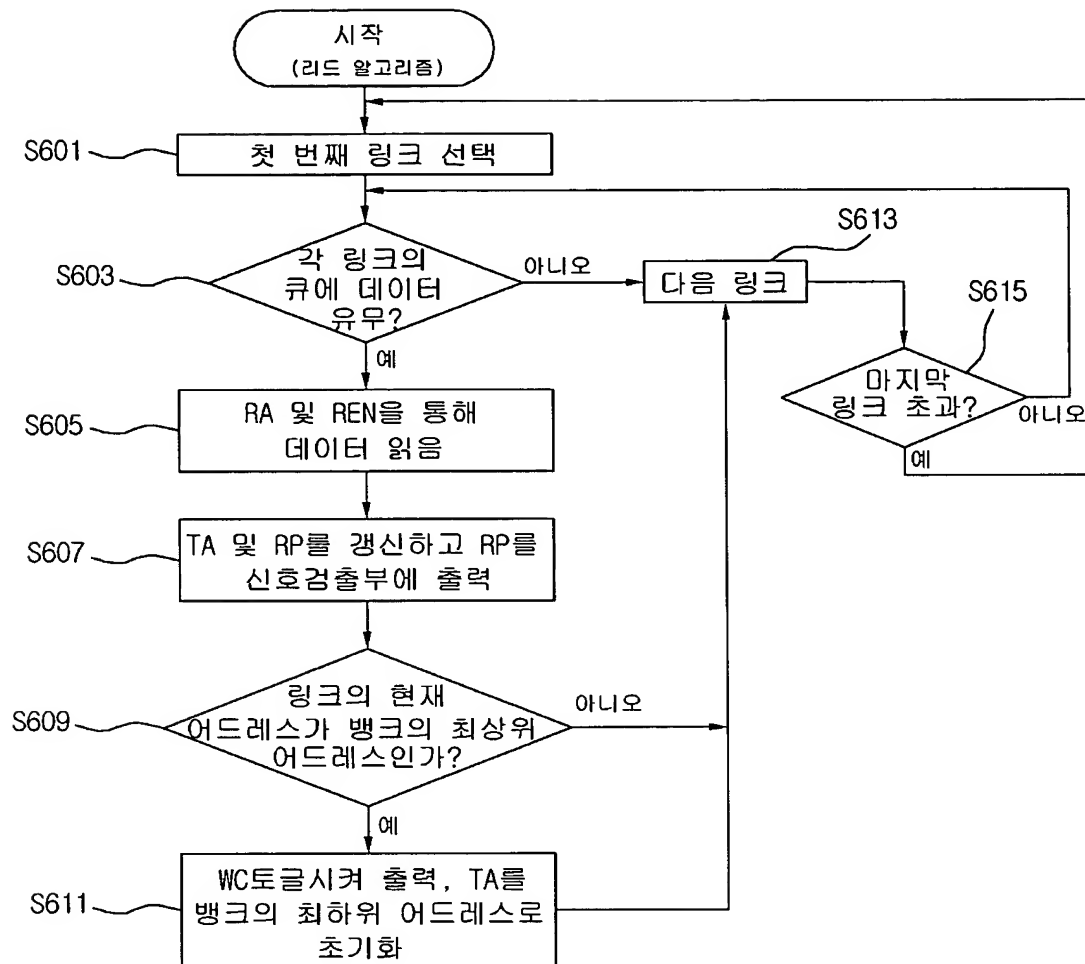
【도 6】



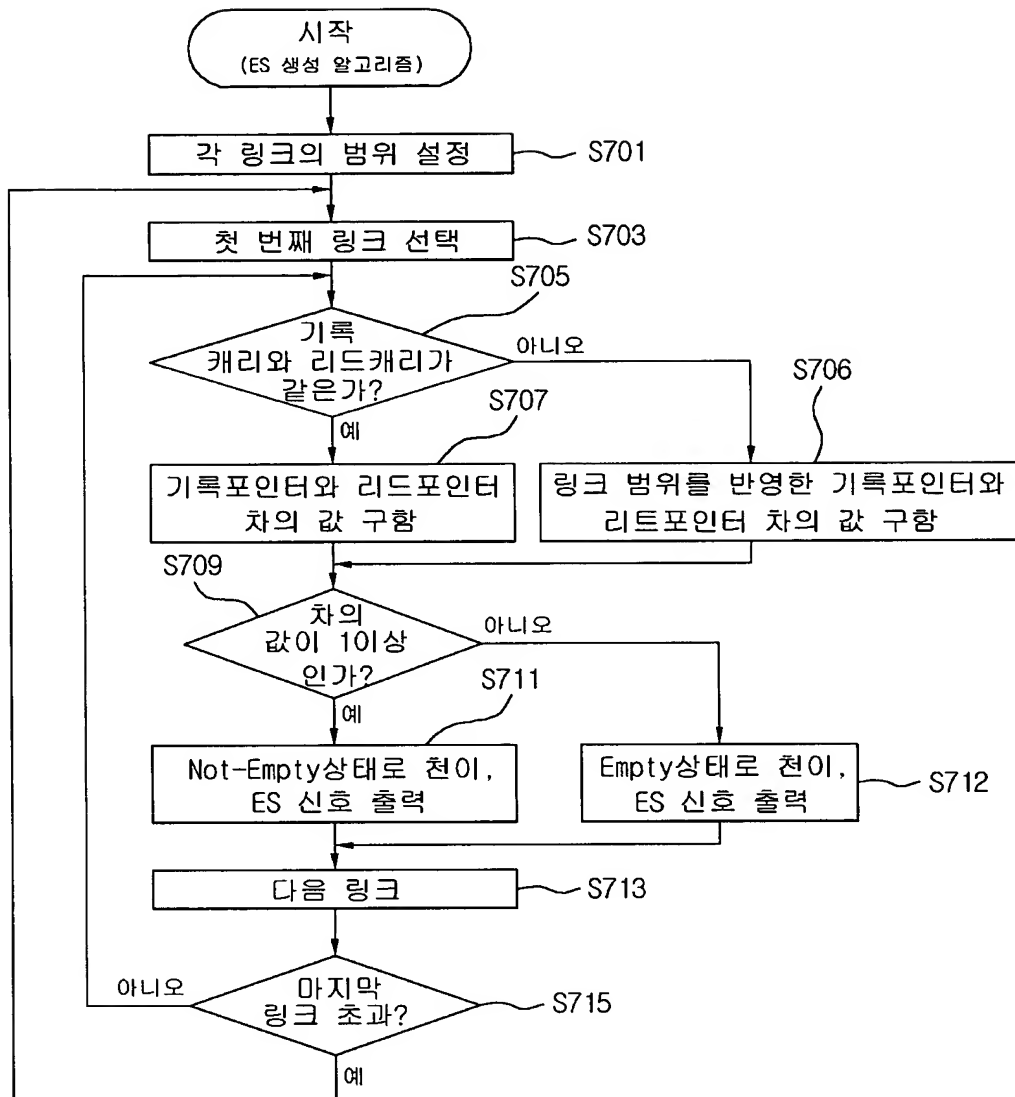
【도 7】



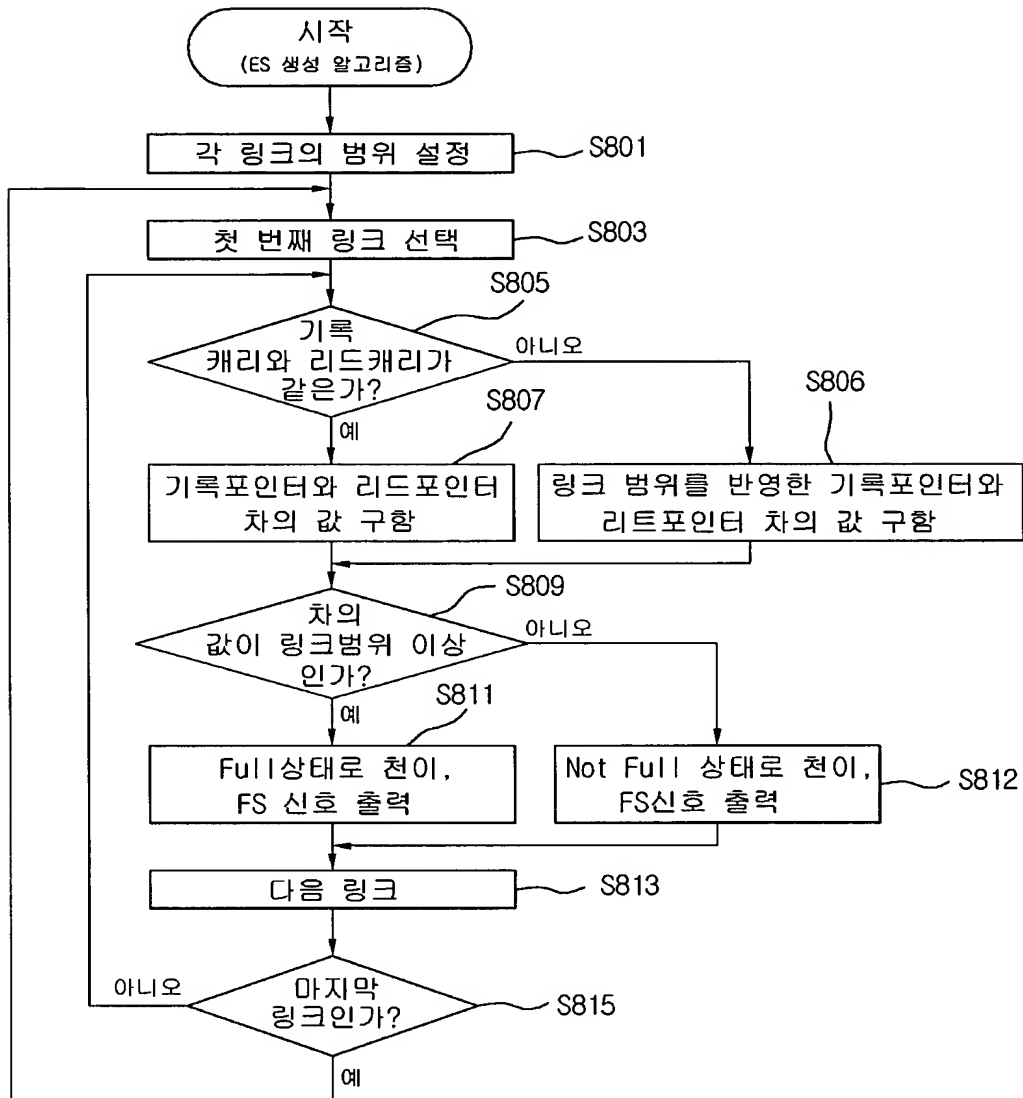
【도 8】



【도 9】



【도 10】



【도 11】

